

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 02002299 A

(43) Date of publication of application: 08.01.90

(51) Int. Cl. H04Q 11/08

(21) Application number: 63143543

(71) Applicant: FUJITSU LTD

(22) Date of filing: 13.06.88

(72) Inventor: SHIMIZU HIROTOSHI

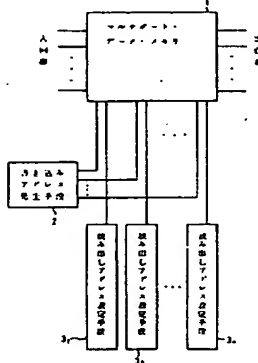
(54) TIME SWITCH CIRCUIT

(57) Abstract:

PURPOSE: To realize a large capacity of switch circuit with simple constitution by devising the replacement of time slots between plural time division multiplex lines by the constitution of one stage of time switch without provision of any spatial switch.

CONSTITUTION: A data from plural incoming lines is written in a multiport data memory 1 from plural input ports by using an address generated by a write address generating means 2 without duplication as to all input data. On the other hand, data readout address outputted to plural outgoing lines from plural output ports of the multi-port data memory 1 is set respectively to readout address setting means $3_1, 3_2, \dots, 3_n$. Through the setting of the readout address, since the plural output ports can access the data inputted from any of plural input ports, that is, the data inputted any of plural incoming lines, the replacement of the time slots between plural lines is attained.

COPYRIGHT: (C)1990,JPO&Japio



⑫ 公開特許公報(A) 平2-2299

⑮ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)1月8日

H 04 Q 11/08

8226-5K H 04 Q 11/04

G

審査請求 未請求 請求項の数 1 (全9頁)

⑭ 発明の名称 時間スイッチ回路

⑯ 特 願 昭63-143543

⑰ 出 願 昭63(1988)6月13日

⑱ 発・明 者 清水 浩 利 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 青木 朗 外4名

明 細 書

1. 発明の名称

時間スイッチ回路

2. 特許請求の範囲

1. 時分割多重化されたデータのタイムスロットの入れ換えを行なう時間スイッチ回路において、複数の入出力ポートを備え、複数の入回線からのデータを該複数の入出力ポートから独立に入力して記憶し、且つ、該記憶したデータを該複数の出力ポートから複数の出回線に独立に出力するマルチポート・データ・メモリ(1)と、

該マルチポート・データ・メモリ(1)への書き込みアドレスを、前記入力ポートの全てから入力されるデータについて重複しないように発生する書き込みアドレス発生手段(2)と、

該マルチポート・データ・メモリ(1)から前記複数の出回線に出力するデータの読み出しアドレスを設定する読み出しアドレス設定手段(3、3a、…3c)とを有してなることを特徴とする時間スイッチ回路。

3. 発明の詳細な説明

(概 要)

時分割多重化されたデータのタイムスロットの入れ換えを行なう時間スイッチ回路に関し、

構成および制御を簡素化することを目的とし、

時分割多重化されたデータのタイムスロットの入れ換えを行なう時間スイッチ回路において、複数の入出力ポートを備え、複数の入回線からのデータを該複数の入出力ポートから独立に入力して記憶し、且つ、該記憶したデータを該複数の出力ポートから複数の出回線に独立に出力するマルチポート・データ・メモリと、該マルチポート・データ・メモリへの書き込みアドレスを、前記入力ポートの全てから入力されるデータについて重複しないように発生する書き込みアドレス発生手段と、該マルチポート・データ・メモリから前記複数の出回線に出力するデータの読み出しアドレスを設定する読み出しアドレス設定手段とを有してなるように構成する。

(産業上の利用分野)

本発明は、時分割多重化されたデータのタイムスロットの入れ換えを行なう時間スイッチ回路に関する。

一般に交換用デジタル・スイッチには時間スイッチと空間スイッチとが用いられている。

時間スイッチは時分割多重化されたデータのタイムスロットの時間的順序の入れ換えを行なうものであり、空間スイッチは、空間的に配置された電子ゲート・スイッチによって入回線と出回線との接続の切り替えを行なうものである。

交換用デジタル・スイッチとしては、メモリ回路を用いて大容量のスイッチを経済的に構築し得る時間スイッチが主として用いられるが、タイムスロット数の増大に伴い、時間スイッチ1段で交換用デジタル・スイッチを構成することが困難となり、これらの時間スイッチ相互間を空間スイッチによって結合した多段構成によって回路網の拡大を計っている。

しかしながら、上記のような時間スイッチと空

間スイッチとの多段接続による構成においてはスイッチ規模が増大し、制御系も複雑になる。

そのため、簡素な構成による大容量のスイッチ回路を実現する技術が要望されていた。

(従来の技術、および発明が解決しようとする課題)

従来の時間スイッチは、1つの入出力ポートを有するメモリ回路と、タイムスロットの交換情報を設定するアドレス制御メモリとを有し、時分割多重化されたデータを、該メモリ回路の入力ポートから、カウンタ等によって発生されるアドレスによって順に書き込み、これらの書き込んだデータを該アドレス制御メモリに設定されたアドレスによって読み出すことにより、タイムスロットの入れ換えを行なっていた。

したがって、大容量のメモリ回路を用いれば、大容量のスイッチを経済的に実現できるが、タイムスロット数がメモリ回路の容量を超えるときや、複数の時分割多重回線相互間でタイムスロットの

入れ換えを行なうためには、上記の時間スイッチと空間スイッチとを組み合わせた多段構成のスイッチ回路を構築する必要があった。

第5図は、従来の時間スイッチと空間スイッチとを組み合わせた多段接続によるスイッチ回路網の構成例として、4つの時分割多重回線と4つの時分割多重回線との間でタイムスロットの入れ換えのためのスイッチ回路網の構成を示すものである。

第5図において、SSWで示されるのは空間スイッチ回路であり、TSWで示されるのは時間スイッチ回路である。また、ACMはアドレス制御メモリである。例えば、入回線1~4および出回線1~4がそれぞれ512タイムスロットからなるフレームを構成し、時間スイッチ回路TSWがそれぞれ512バイトのメモリ回路を有してなるものとする。複数の回線間でタイムスロットの入れ換えを行なうためには、第5図に示されるように、4つの時間スイッチ回路TSWを設け、さらに、該4つの時間スイッチ回路TSWの前段お

よび後段にそれぞれ空間スイッチ回路を設ける必要がある。

このとき、第5図に示されるように、上記の合計12個の時間スイッチ回路および空間スイッチ回路の各々におけるタイムスロットの入れ替え情報を設定するために、それぞれアドレス制御メモリを設ける必要がある。

このように、従来のスイッチ回路は、タイムスロット数が多い場合や、複数の時分割多重回線間でのタイムスロットの入れ換えの際には、構成および制御が複雑になるという問題があった。

本発明は上記の問題点に鑑み、なされたもので、構成および制御を簡素化した大容量の時間スイッチ回路を提供することを目的とするものである。

(課題を解決するための手段)

第1図は本発明の基本構成図である。本図において、1はマルチポート・データ・メモリ、2は書き込みアドレス発生手段、そして、3、3s、…、3sは、複数の読み出しアドレス設定手段である。

マルチポート・データ・メモリ1は、複数の入出力ポートを備え、複数の入回線からのデータを該複数の入力ポートから独立に入力して記憶し、且つ、該記憶したデータを該複数の出力ポートから複数の出回線上に独立に出力する。

書き込みアドレス発生手段2は、該マルチポート入出力データ・メモリ1への書き込みアドレスを、全ての入力データについて重複のないように発生する。

読み出しアドレス設定手段3, 3, ..., 3。は、上記マルチポート・データ・メモリ1から前記複数の出回線上に出力するデータの読み出しアドレスをそれぞれ設定する。

(作 用)

複数の入回線からのデータは、書き込みアドレス発生手段2にて発生されたアドレスによって複数の入力ポートからマルチポート・データ・メモリ1に、全ての入力データについて重複のないように書き込まれる。

30-2, ..., 30-nはアドレス制御メモリ、41-1, 41-2, ..., 41-nはメモリ領域指定セクタ、42-1, 42-2, ..., 42-nはメモリ・アドレス指定セクタである。

マルチポート・データ・メモリ10は、複数の入出力ポートを有し、それぞれの入出力ポートから独立にデータの入力および出力が可能なランダム・アクセス・メモリである。

これらの複数の入出力ポートには、それぞれ対応する入回線および出回線が接続される。

アドレス・カウンタ20は、上記マルチポート・データ・メモリ10へのデータの書き込み時のアドレスを発生するもので、対応する入回線上のデータの1フレーム分のタイムスロットを計数する数を繰り返し出力し、その出力はメモリ・アドレス指定セクタ42-1, 42-2, ..., 42-nそれぞれの後述する2つのデータ入力端子群のうちの一方に印加される。

アドレス制御メモリ30-1, 30-2, ..., 30-nは、上記マルチポート・データ・メモ

リ10の複数の出力ポートそれぞれからの読み出しデータのアドレスを出力するものである。後述するように、これらの読み出しアドレスの各々の最上位ビットは、メモリ領域指定セクタ41-1, 41-2, ..., 41-nの対応するものの一方の入力端子に、そして、該読み出しアドレスの各々の該最上位ビットより下位のビットは、上記メモリ・アドレス指定セクタ42-1, 42-2, ..., 42-nの対応するものの他方のデータ入力端子群に印加される。該アドレス制御メモリ30-1, 30-2, ..., 30-nの各々には、上記複数の出力ポートのそれぞれ対応するものから順に出力すべきタイムスロットのデータが書き込まれている、該マルチポート・データ・メモリ10のアドレスが設定される。

メモリ領域指定セクタ41-1, 41-2, ..., 41-nは、上記マルチポート・データ・メモリ10における、書き込み時および読み出し時におけるアドレスの最上位ビットを出力するもので、該出力はマルチポート・データ・メモリ

10の複数の出力ポートそれぞれからの読み出しデータのアドレスを出力するものである。後述するように、これらの読み出しアドレスの各々の最上位ビットは、メモリ領域指定セクタ41-1, 41-2, ..., 41-nの対応するものの一方の入力端子に、そして、該読み出しアドレスの各々の該最上位ビットより下位のビットは、上記メモリ・アドレス指定セクタ42-1, 42-2, ..., 42-nの対応するものの他方のデータ入力端子群に印加される。該アドレス制御メモリ30-1, 30-2, ..., 30-nの各々には、上記複数の出力ポートのそれぞれ対応するものから順に出力すべきタイムスロットのデータが書き込まれている、該マルチポート・データ・メモリ10のアドレスが設定される。

(実施例)

第2図は本発明の実施例の構成図である。

第2図において、10はマルチポート・データ・メモリ、20はアドレス・カウンタ、30-1,

リ10の複数の出力ポートそれぞれからの読み出しデータのアドレスを出力するものである。後述するように、これらの読み出しアドレスの各々の最上位ビットは、メモリ領域指定セクタ41-1, 41-2, ..., 41-nの対応するものの一方の入力端子に、そして、該読み出しアドレスの各々の該最上位ビットより下位のビットは、上記メモリ・アドレス指定セクタ42-1, 42-2, ..., 42-nの対応するものの他方のデータ入力端子群に印加される。該アドレス制御メモリ30-1, 30-2, ..., 30-nの各々には、上記複数の出力ポートのそれぞれ対応するものから順に出力すべきタイムスロットのデータが書き込まれている、該マルチポート・データ・メモリ10のアドレスが設定される。

メモリ領域指定セクタ41-1, 41-2, ..., 41-nは、上記マルチポート・データ・メモリ10における、書き込み時および読み出し時におけるアドレスの最上位ビットを出力するもので、該出力はマルチポート・データ・メモリ

10におけるメモリ領域の大区分を指定するものである。該メモリ領域指定セレクト41-1、

41-2、...41-nそれぞれは2つの入力端子を有し、該2つの入力端子の一方には、それぞれ順に、"0"、"1"、...、"n-1"が印加され、該2つの入力端子の他方には、それぞれ順に、前記アドレス制御メモリ30-1、30-2、...30-nの出力の最上位ビットが印加される。そして、メモリ領域指定セレクト41-1、41-2、...41-nは、それぞれ、データの書き込み時には、上記"0"、"1"、...、"n-1"を、また、データの読み出し時には、上記アドレス制御メモリ30-1、30-2、...30-nが出力するアドレスの最上位ビットを選択して出力する。

メモリ・アドレス指定セレクト42-1、42-2、...42-nは、上記マルチポート・データ・メモリ10における、書き込み時および読み出し時におけるアドレスの上記最上位ビットより下位のビットを出力するもので、2つのデータ

れる第1および第2の2つの出力ポートを有するデュアル・ポート・メモリ11、アドレス・カウンタ21、アドレス制御メモリ30-1、30-2、メモリ領域指定セレクト41-1、41-2、そして、メモリ・アドレス指定セレクト42-1、42-2を有してなる。

デュアル・ポート・メモリ11のメモリ領域は、それぞれ512ビットの容量を有する2つの領域からなり、それぞれの領域はアドレスの最上位ビットが"0"か、"1"かによって識別される。該アドレスの最上位ビットは、メモリ領域指定セレクト41-1および41-2より出力される。

該メモリ領域指定セレクト41-1およびメモリ・アドレス指定セレクト42-1は、データ入力時には第1の入力ポートから入力されるデータの書き込みアドレスを指定し、データ出力時には第1の出力ポートから出力されるデータの読み出しアドレスを指定する。そして、メモリ領域指定セレクト41-2およびメモリ・アドレス指定セレクト42-2は、データ入力時には第2の入力

入力端子群を有し、該2つのデータ入力端子群の一方には前記アドレス・カウンタ20の出力を印加し、他方には、それぞれ、前記アドレス制御メモリ30-1、30-2、...30-nが出力するアドレスの最上位ビットより下位のビットを印加する。そして、メモリ・アドレス指定セレクト42-1、42-2、...42-nは、それぞれ、データの書き込み時には、上記アドレス・カウンタ20の出力を、また、データの出力時には、上記アドレス制御メモリ30-1、30-2、...30-nが出力するアドレスの最上位ビットより下位のビットを選択して出力する。

以上のような本発明の実施例の構成の動作について、以下において、第3A図、第3B図および第3C図を用いて、より具体的な例について説明する。

第3B図は第2図の構成に対応するもので、それぞれ第1および第2の2本の入回線と接続される第1および第2の2つの入力ポート、および、それぞれ第1および第2の2本の出回線と接続さ

ポートから入力されるデータの書き込みアドレスを指定し、データ出力時には第2の出力ポートから出力されるデータの読み出しアドレスを指定する。

第2図の構成におけると同様に、メモリ・アドレス指定セレクト42-1および42-2は、それぞれ、アドレスの最上位ビットより下位のビットを出力する。

さらに、第2図の構成におけると同様に、上記メモリ領域指定セレクト41-1および41-2は、各々2つの入力端子を有し、該各々の一方には、それぞれ"0"および"1"が印加され、該各々の他方には、アドレス制御メモリ30-1および30-2が出力するアドレスの最上位ビットが印加される。

そして、メモリ・アドレス指定セレクト42-1および42-2は、各々2つのデータ入力端子群を有し、該各々の一方のデータ入力端子群には、アドレス・カウンタ21の出力が印加され、該各々の他方には、それぞれアドレス制御メモリ30

-1および30-2が出力するアドレスの最上位ビットより下位のビットが印加される。

メモリ領域指定セレクト41-1、41-2は、それぞれ、データの書き込み時には、上記“0”および“1”を、また、データの読み出し時には上記アドレス制御メモリ30-1および30-2が出力する上記最上位ビットを選択して出力する。

メモリ・アドレス指定セレクト42-1、42-2は、それぞれ、データの書き込み時には、上記アドレス・カウンタ21の出力を、また、データの出力時には、上記アドレス制御メモリ30-1、30-2が出力する前記アドレスの最上位ビットより下位のビットを選択して出力する。

該デュアル・ポート・メモリ11の2つの入力ポートのそれぞれには、それぞれに接続される入回線から1フレーム512タイムスロットからなる時分割多重化されたデータが入力される。このような入力データの具体例を第3A図に示す。第1の入回線からはタイムスロットNO. 1、2、3、...、512のデータが、そして、第2の入

回線からはタイムスロットNO. 513、514、515、...、1024のデータが入力される。

上記の入力データは、前述の、書き込み時における、メモリ領域指定セレクト41-1、41-2の出力に対応して、第1の入回線からのデータはデュアル・ポート・メモリ11のアドレス0～511の領域に、そして、第2の入回線からのデータはデュアル・ポート・メモリ11のアドレス511～1024の領域に書き込まれる。それぞれの領域における書き込みアドレスは、メモリ・アドレス指定セレクト42-1、42-2を介して印加される。アドレス・カウンタ21の出力000、001、002、...、1FF(16進数)により、第3B図に示されるとおり、それぞれ入力された順に書き込まれる。

他方、アドレス制御メモリ30-1には第1の出力ポートから出力されるべきタイムスロットのNO. が“1、0、514、3、518、7、516、5、...”と、そして、アドレス制御メモリ30-2には第2の出力ポートから出力される

べきタイムスロットのNO. が“513、512、2、3、6、519、4、517”と設定される。

デュアル・ポート・メモリ11からのデータの読み出し時には、アドレス・カウンタ21の出力000、001、002、...、1FFがアドレス制御メモリ30-1および30-2に対して読み出しアドレスとして印加される。これに応じて前記のアドレス制御メモリ30-1および30-2の内容が読み出され、それぞれメモリ領域指定セレクト41-1およびアドレス指定セレクト42-1、また、メモリ領域指定セレクト41-2およびアドレス指定セレクト42-2を介してデュアル・ポート・メモリ11のアドレスとして印加される。こうして、デュアル・ポート・メモリ11の第1および第2の出力ポートからは、それぞれ第3C図に示されるように、上記のアドレス制御メモリ30-1および30-2の内容によりタイムスロットが入れ換えられたデータが出力される。

このように、第3B図の構成の時間スイッチ回

路によれば、複数の入回線相互の間において、時分割多重化されたデータのタイムスロットの入れ換えを1段の時間スイッチ回路により実現できる。

前述の第2図の構成は、上述の第3B図の時間スイッチ回路の構成において入出力ポートの数を2からnに一般化したものであって、第2図の構成の動作も上述の第3B図の構成の動作と全く同様である。

第4図は、一般的なn本の入回線から入力された時分割多重化されたデータのタイムスロットの入れ換えの様子の具体例を示すものである。

n本の入回線からのデータは、それぞれデータ・メモリ12内の対応する領域に書き込まれる。これらの書き込まれたデータは、出力時においては、任意の出力ポートからアクセス可能となっており、各出力ポートに対応するアクセス制御メモリの設定値にしたがって読みされ、それぞれ対応する出力ポートより接続される出回線に出力される。

以上説明したように、本発明の時間スイッチ回路によれば、従来空間スイッチ回路との多段構成

を必要とした、複数の回路上のタイムスロットの入れ換えを、1段の時間スイッチ回路によって実現している。前述の第5図の構成と比較することにより明らかなように、空間スイッチ回路、および、それらに伴うアクセス制御メモリが不要となることにより、ハードウェア量が大幅に削減される。

また、従来の時間スイッチ回路において、1フレームNタイムスロットとして行っていた交換動作を、該Nタイムスロットをnポートに分割して、本発明による時間スイッチ回路を用いてスイッチングを行なうと、メモリのアクセス時間が等しいならば、従来の1/nの時間で処理を行なうことができる。このことは、データ入出力速度を従来のn倍に上げることができることを意味すると共に、データ入出力速度が等しいときには、時間スイッチ回路のクロックの周波数を1/nにできることを意味するので、例えば、低速度ではあるが消費電力の低いC-MOSロジックの使用を可能にする。

(発明の効果)

本発明の時間スイッチ回路によれば、構成および制御を簡素化するとともに、より大容量の時分割多重化されたデータをより高速に処理することができる。

4. 図面の簡単な説明

第1図は本発明の基本構成図、

第2図は本発明の実施例の構成図、

第3A図、第3B図、第3C図および第4図は、本発明の時間スイッチ回路の具体例による動作説明図、そして

第5図は、従来の空間スイッチ回路と時間スイッチ回路との多段接続によるスイッチ回路網の構成例を示す図である。

(符号の説明)

- 1…マルチポート・データ・メモリ、
- 2…書き込みアドレス発生手段、
- 3、3₁、…3_n…読み出しアドレス設定手段、
- 10、11…マルチポート・データ・メモリ、
- 20、21…アドレス・カウンタ、

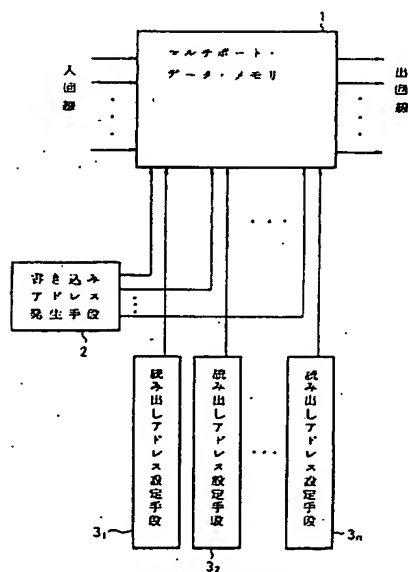
30-1、30-2、…30-n…アドレス制御メモリ、
41-1、41-2、…41-n…メモリ領域指定セレクト、
42-1、42-2、…42-n…メモリアドレス指定セレクト。

特許出願人

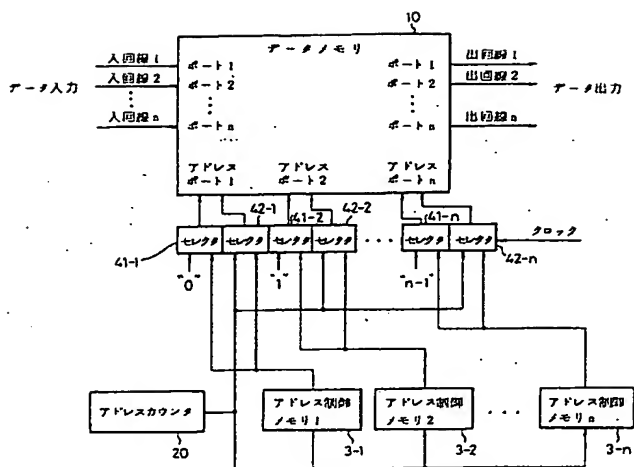
富士通株式会社

特許出願代理人

弁理士 青木 朗
弁理士 石田 敬
弁理士 平岩 賢三
弁理士 山口 昭之
弁理士 西山 雅也



本発明の基本構成図
第1図



本発明の実施例の構成図

第2図

第1の入回線上のデータ	1	2	3	4	5	6	7	8	...
第2の入回線上のデータ	513	514	515	516	517	518	519	520	...

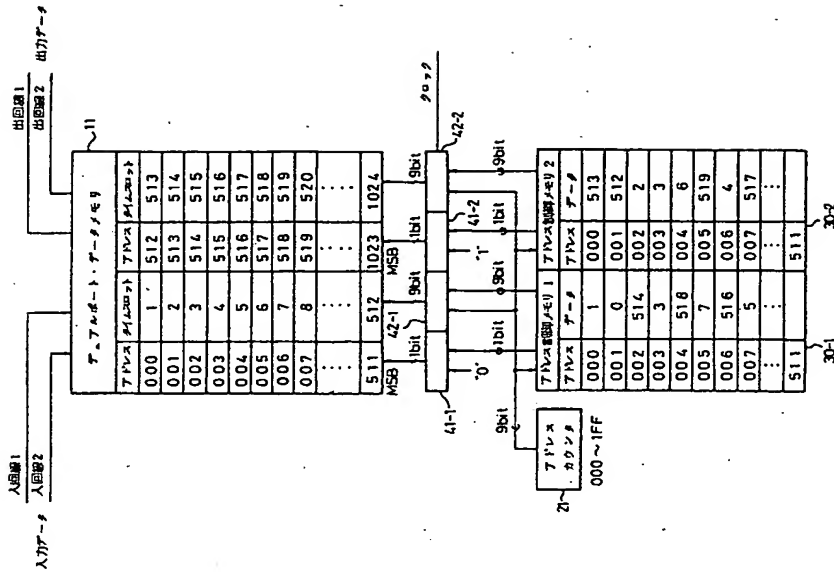
本発明による時間スイッチ回路の動作説明図

第3A図

第1の出回線上のデータ	2	1	515	4	519	8	517	6	...
第2の出回線上のデータ	514	513	3	4	7	520	5	518	...

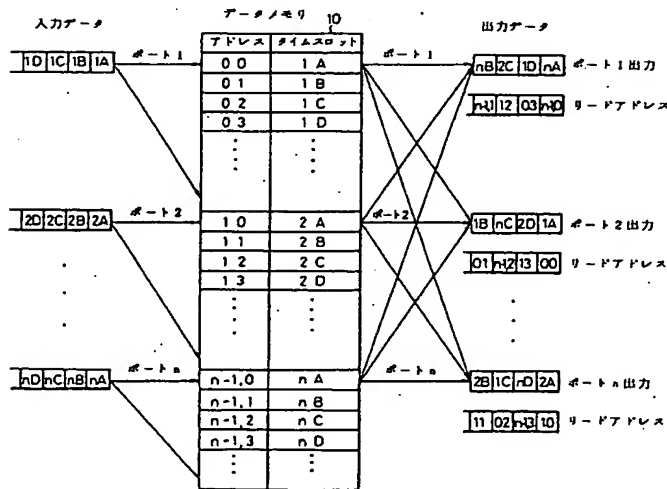
本発明による時間スイッチ回路の動作説明図

第3C図



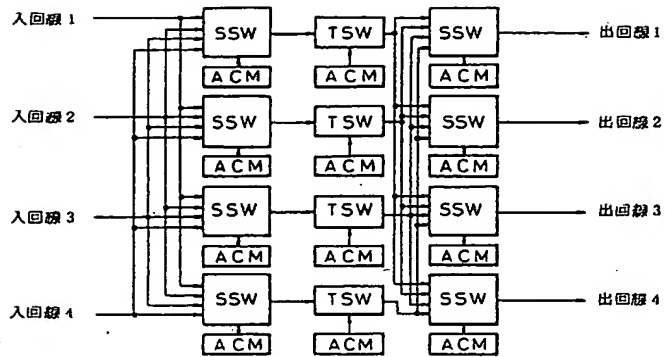
本発明による時間スライス回路の動作説明図

第38図



本発明による時間スライス回路の動作説明図

第4図



従来の空間スイッチ回路および時間スイッチ回路の
多段接続によるスイッチ回路網の構成例を示す図

第 5 図